



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Übersetzung der
europäischen Patentschrift

⑨7 EP 0 782 276 B 1

⑩ DE 696 04 273 T 2

⑤1 Int. Cl.⁷:
H 04 B 7/212
H 04 L 7/04

D4

DE 696 04 273 T 2

- ②1 Deutsches Aktenzeichen: 696 04 273.8
- ⑨6 Europäisches Aktenzeichen: 96 120 808.9
- ⑨6 Europäischer Anmeldetag: 23. 12. 1996
- ⑨7 Erstveröffentlichung durch das EPA: 2. 7. 1997
- ⑨7 Veröffentlichungstag
der Patenterteilung beim EPA: 15. 9. 1999
- ④7 Veröffentlichungstag im Patentblatt: 31. 5. 2000

③0 Unionspriorität:
34257295 28. 12. 1995 JP

⑬ Patentinhaber:
NEC Corp., Tokio/Tokyo, JP

⑭ Vertreter:
Betten & Resch, 80469 München

⑥4 Benannte Vertragsstaaten:
DE, FR, GB

⑫ Erfinder:
Nakajima, Akira, Minato-ku, Tokyo, JP

⑤4 Verfahren und Apparat zur Synchronisierung von Empfangsdaten in Zeitschlitten

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 696 04 273 T 2

HINTERGRUND DER ERFINDUNG

Die vorliegende Erfindung bezieht sich im allgemeinen auf eine Zeitschlitzempfangs-Synchronisationsschaltung und insbesondere auf eine Zeitschlitzempfangs-Synchronisationsschaltung für ein digitales Mobilkommunikationssystem, das in einer Kommunikationsvorrichtung vorgesehen ist, z. B. in einem digitalen Mobiltelefon, in einem digitalen schnurlosen Telefon oder in einem Satelliten-Kommunikationssystem, das als Kommunikationsschema den Zeitvielfachzugriff (TDMA) verwendet.

Beschreibung der verwandten Technik

15 Digitale Mobilkommunikationen führen die Kommunikation durch Definieren eines Zeitrahmens, der der Grundzyklus für das Senden und das Empfangen von Signalen wird, und dann durch Senden oder Empfangen von digitalen Datensignalen unter Verwendung vorgegebener Zeitintervalle (z. B. "Zeitschlitz"), die in dem Zeitrahmen zugeordnet sind, aus.

Da Mehrfachkanäle mit diesem Zeitschlitz in den gleichen Träger gemultiplext werden können, ist es notwendig, die Taktung zwischen den Systemen, die die Kommunikation ausführen, einzustellen, so daß sich die Übertragungssignale, die durch einzelne Kanäle gesendet werden, einander nicht überlappen und sich dadurch einander nicht stören.

30 Um die Taktung jedes Kommunikationssystems, das Senden und Empfangen ausführt, einzustellen, besitzen die Kommunikationssysteme einen gemeinsamen Zeitbezug. Ein Zeitschlitz-Zähler synchronisiert die Taktung zwischen den

Systemen.

Wenn der Zeitschlitz-Zähler ein Signal mit einem spezifischen Bitmuster feststellt (z. B. ein eindeutiges Wort
5 oder synchrones Wort), wird speziell ein Zählwert als ein Anfangswert für die Synchronisation eingestellt. Der Zählwert enthält Zeitinformationen, wie lange ein Zeitschlitz von dem Zeitpunkt benötigen sollte, an dem das eindeutige Wort festgestellt wird, so daß die Synchroni-
10 sation mit dem anderen System übereinstimmt.

Fig. 3 zeigt einen Blockschaltplan einer herkömmlichen Zeitschlitz-Synchronisierungsschaltung, die eine Eingabe-Steuerschaltung 31 zum Empfangen und Steuern der Ein-
15 gangsdaten, und ein m-Bit-Empfangsdaten-Schieberegister 32, das eine Länge besitzt, die gleich der Datenlänge eines Kommunikations-Zeitschlitzes ist, wobei m vorzugsweise eine ganze Zahl größer als 2 ist, enthält. Es gibt typischerweise 240 Bits, wobei der Bitzyklus des Bitzäh-
20 lers 240 Bits beträgt. Das Empfangsdaten-Schieberegister 32 empfängt die Eingangsdaten (die im folgenden als "empfangene" Daten oder "Empfangs"daten bezeichnet werden) von der Eingabe-Steuerschaltung 31.

25 Eine Detektorschaltung 33 für ein eindeutiges k-Bit-Wort, in die die Daten, die von der Eingabe-Steuerschaltung 31 ausgegeben werden, unabhängig eingegeben werden, stellt ein spezifisches Bitmuster (z. B. ein eindeutiges Wort oder synchrones Wort) aus der Dateneingabe in diese fest.
30 Eine Zeitschlitz-Zählerschaltung 34 stellt die Zeitschlitz-Synchronisation mit einem Ausgangsdetektionssignal der Detektorschaltung 33 für eindeutiges Wort her. Eine Taktungssteuerschaltung 35 taktet eine vollständige Empfangsoperation, während eine Bit-Zählerschaltung 36
35 die Bitsynchronisation unter der Steuerung der Taktungssteuerschaltung 35 herstellt und eine Eingabe in die

Zeitschlitz-Zählerschaltung 34 am Ende jedes Bitzyklus schafft. Es ist außerdem eine Zentraleinheit (CPU) 37 zum Steuern der obenerwähnten Elemente der Schaltung durch die Taktungssteuerschaltung 35 gezeigt.

5

Im folgenden wird der Betrieb der herkömmlichen Zeitschlitzempfangs-Synchronisationsschaltung beschrieben.

10 Zuerst werden die empfangenen Daten durch die Eingabe-
Steuerschaltung 31 in das Empfangsdaten-Schieberegister 32 seriell eingegeben. Simultan werden die empfangenen Daten in die Detektorschaltung 33 für eindeutiges Wort und in das Empfangsdaten-Schieberegister 32 seriell eingegeben. Die empfangenen Daten werden mit einem bekannten, eindeutigen Wortmuster aus k Bits (wobei k kleiner als m ist) verglichen, das in einem Register (das in Fig. 4 veranschaulicht und unten erörtert ist) innerhalb der Detektorschaltung 33 für eindeutiges Wort gespeichert ist.

20

Die Detektorschaltung 33 für eindeutiges Wort besitzt eine Schaltungskonfiguration wie in Fig. 4 gezeigt. Die Empfangsdaten werden in einen D-Eingangsanschluß eines D-Flipflops 41_1 in der Anfangsstufe eines k -stufigen, in
25 Kaskade geschalteten D-Flipflops 41_1-41_k (wobei k kleiner als m ist) seriell eingegeben. Die Bitwerte der Empfangsdaten werden zu jedem Zeitpunkt, an dem ein Takt eingegeben wird, zu dem D-Flipflop in der nächsten Stufe sequentiell verschoben.

30

Die Ausgaben der D-Flipflops 41_1-41_k werden außerdem in die jeweiligen Addierer 42_1-42_k eingegeben, in denen die Ausgaben einer logischen Exklusiv-ODER-Verknüpfung (logischen Addition) mit jedem Bitwert eines bekannten,
35 k Bit umfassenden eindeutigen Wortmusters unterzogen werden. Zum Beispiel ist das eindeutige Wortmuster typi-

scherweise für z. B. alle tragbaren Telephone das gleiche. Das Muster wird bei der Senderseite vorgegeben und dort ausgegeben. Die Addierer 42_1-42_k stellen einen Wert der logischen "0" (d. h. den Tiefpegelzustand) bereit, wenn beide Eingangswerte übereinstimmen, während sie einen Wert der logischen "1" (d. h. den Hochpegelzustand) bereitstellen, wenn sie nicht übereinstimmen.

Jedes Additionsergebnis, das von den Addierern 42_1-42_k ausgegeben wird, wird einer Logikschaltung 44 zugeführt. Wie oben erörtert ist, wird ein logischer "0"-Wert (im folgenden ebenfalls ein "übereinstimmend-Signal" genannt) nur ausgegeben, wenn die einzelnen Ausgangswerte des D-Flipflops 41_1-41_k mit dem k Bit umfassenden eindeutigen Wortmuster aus dem eindeutiges-Wortmuster-Register 43 für alle Bits übereinstimmen. Eine logische "1" wird ausgegeben, wenn wenigstens ein Bit der k-Bit-Ausgänge des D-Flipflops 41_1-41_k nicht mit dem k Bit umfassenden eindeutigen Wortmuster, das in dem eindeutiges-Wortmuster-Register 43 gespeichert ist, übereinstimmt.

In Fig. 3 wird die Zeitschlitz-Zählerschaltung 34 zurückgesetzt, wenn das Detektionssignal für eindeutiges Wort eingegeben wird. Die Zeitschlitz-Zählerschaltung 34 stellt eine "schwache" Synchronisation als einen Anfangswert für die Synchronisation her. Für die Zwecke dieser Anwendung ist eine "schwache" Synchronisation als die Verwendung der Ausgabe der Bit-Zählerschaltung als ein "grober" Wert oder eine "grobe" Näherung der Synchronisation definiert. Basierend auf der Bit-Zählerschaltung stellt folglich die Zeitschlitz-Zählerschaltung 35 eine grobe oder allgemeine Synchronisation und keine genaue Synchronisation her.

Im allgemeinen gibt es zwei Wege, um die Synchronisation zu erreichen. Zuerst wird die Zeitschlitz-Zählerschaltung

verwendet, um mit der Eingabe des Rücksetzsignals synchronisiert zu werden. Zweitens wird die Bit-Zählerschaltung verwendet, um die Takte zu zählen, die das System grob synchronisieren. Wenn jedoch nur der Zeitschlitz-
5 Zähler zurückgesetzt wird (z. B. wenn nur das erste Verfahren ausgeführt wird), ist die Bit-Zählerschaltung noch immer nicht mit dem Übertragungsbitttakt synchronisiert.

Die Zeitschlitz-Zählerschaltung 34 informiert die Taktungssteuerschaltung 35 über die Herstellung der schwachen Synchronisation, wobei die Bit-Zählerschaltung 36 mit der Ausgabe der Taktungssteuerschaltung 35 zurückgesetzt wird.

15 Weil die Bit-Zählerschaltung 36 den Bittakt mit einem groben m-Bit-Wert zählt, der einen Fehler von einigen Bits enthält, ist der synchrone Empfang von Daten nur möglich, nachdem ein Korrekturbitt durch mehrmaliges Wiederholen der Empfangsoperation und durch einige normale
20 Empfangsoperationen mit der Taktungssteuerschaltung 35 definiert worden ist. Folglich tritt der "grobe" m-Bit-Fehler in herkömmlichen Systemen auf, wie oben beschrieben wurde. Deshalb muß die Operation unnötigerweise mehrmals wiederholt werden, wobei auf diese Weise einige Zyklen verloren werden.
25

Folglich besitzt die obenerwähnte Zeitschlitzempfangs-Synchronisationsschaltung verschiedene Nachteile. Speziell muß die herkömmliche Zeitschlitzempfangs-Synchronisationsschaltung zuerst den Zeitschlitz synchronisieren, weil sie das eindeutige Wort durch die eindeutiges-Wort-Detektorschaltung 33 unabhängig von dem Empfangsdaten-Schieberegister 32 feststellt.

35 Weil die Positionsbeziehung zwischen der Detektionsposition des eindeutigen Wortes und den Empfangsdaten in dem

Schieberegister 32 nicht synchronisiert ist, "driften" die Empfangsdaten aus einer normalen Position, wobei sie sich an einer Position befinden, die von derjenigen, an der sie sein sollten, verschieden ist, obwohl die Empfangsdaten, die bei dem Detektionstakt eines eindeutigen Wortes aufgefangen werden, hier in dem Empfangsdaten-Schieberegister 32 zwischengespeichert werden. Daher ist das Korrigieren der Bitposition für die Normierung notwendig, oder es ist das Verwerfen der Empfangsdaten zum Zeitpunkt der Detektion des eindeutigen Wortes erforderlich, um die Empfangsdaten von der Spitze (z. B. dem Anfang oder dem Kopf) des Zeitschlitzes abermals zu erhalten.

Um ferner die Empfangsdaten richtig zu empfangen, werden die Empfangsdaten ab dem Beginn des Zeitschlitzes, der durch die Zeitschlitz-Taktung angegeben wird, wenigstens für die Dauer eines Zeitschlitzes, bis der Empfangen der Daten abgeschlossen sein muß, abermals in das Empfangsdaten-Schieberegister 32 eingegeben. Auf diese Weise ergibt sich ein ineffizienter und zeitraubender Betrieb.

Weil die Steuerung durch die Taktungssteuerschaltung 35 erforderlich ist, um das Korrekturbit für die Bit-Zählerschaltung 36 durch verschiedene normale Empfangsoperationen zu definieren, wird darüber hinaus die Anzahl der Schaltungselemente vergrößert, was zu einer komplizierten Steuerungsoperation und -struktur führt.

Überdies erfordert das herkömmliche System D-Flipflops in der Detektorschaltung 33 für eindeutiges Wort, die das System ferner übermäßig groß machen.

JP-A-06315025 zeigt eine Zeitschlitzempfangs-Synchronisierungsschaltung, die eine genaue synchrone Empfangseingabe ohne das Ausführen einer Bitpositions Korrektur oder den

Wiederabruf der empfangenen Daten ermöglicht. Die empfangenen Daten, die unter der Steuerung einer Eingabe-Steuerschaltung eingegeben werden, werden in ein Schieberegister für empfangene Daten abgerufen. Eine Detektorschaltung für eindeutiges Wort stellt ein eindeutiges Wort fest, das in einem Zeitschlitz-Datensignal enthalten ist, und erzeugt ein Koinzidenzsignal durch Eingeben von Daten, die aus einer Bitposition zu extrahieren sind, die gleich dem eindeutigen Wort ist, das der vorgeschriebenen Bitposition der empfangenen Daten zugeordnet ist, die in das Schieberegister für die empfangenen Daten abgerufen werden. Eine Zeitschlitz-Zählerschaltung stellt durch Einstellen eines Anfangswertes, der dem Koinzidenzsignal von der Detektorschaltung für eindeutiges Wort entspricht, eine Zeitschlitz-Synchronisation her und meldet die Herstellung der Zeitschlitz-Synchronisation an eine Taktungssteuerschaltung. Die Taktungssteuerschaltung nimmt die Taktung des vollständigen Empfangs mit der Taktung als ein Empfangseingangs-Abschlußsignal, das dem Koinzidenzsignal der eindeutiges-Wort-Detektionsschaltung entspricht.

JP-A-05344115 zeigt eine Empfangs-Synchronisierschaltung, die die Zeit für den Abschluß des Datenempfangs durch Ausgeben der für die eindeutigen Wörter in Frage kommenden Daten verkürzt, die Bitpositionen, Bitanordnungen und Längen in Bit wie die eindeutigen Daten der Zeitschlitz-Kommunikationsdaten aus einer Zeitschlitz-Kommunikationsdaten-Speicherschaltung aufweisen. Wenn die Daten als eindeutige Wörter festgestellt werden, wird ein zusammenfallendes Signal ausgegeben, ein Zählwert, der die Zeitinformationen zeigt, die durch einen Zeitschlitz zu dem Zeitpunkt der Detektion des eindeutigen Wortes zu erfassen sind, wird bei der Ausgangstaktung dieses Signals als ein Anfangswert für die Synchronisation in einen Zeitschlitz-Zähler voreingestellt, und die Zeitschlitz-Syn-

23.11.99

- 8 -

chronisation wird durch Zählen des Wertes hergestellt.

ZUSAMMENFASSUNG DER ERFINDUNG

5 In Anbetracht der vorangehenden Probleme der herkömmlichen Systeme ist es eine Aufgabe der vorliegenden Erfindung, eine Zeitschlitzempfangs-Synchronisationsschaltung und ein Zeitschlitzempfangs-Synchronisationsverfahren zu schaffen, die eine Bitpositionskorrektur für die Normierung und das abermalige Empfangen der Daten nicht erfordern.

15 Eine weitere Aufgabe der vorliegenden Erfindung ist es, eine Zeitschlitzempfangs-Synchronisationsschaltung und ein Zeitschlitzempfangs-Synchronisationsverfahren zu schaffen, die sowohl die Bitsynchronisation als auch die Zeitschlitz-Synchronisation durch einfaches Detektieren eines eindeutigen Wortes mit hoher Geschwindigkeit verwirklichen können.

20 Eine nochmals weitere Aufgabe der vorliegenden Erfindung ist es, eine Zeitschlitzempfangs-Synchronisationsschaltung und ein Zeitschlitzempfangs-Synchronisationsverfahren zu schaffen, die sowohl die Bitsynchronisation als auch die Zeitschlitz-Synchronisation mit einer einfachen Steueroperation und -struktur verwirklichen können, und die simultan die in diese eingegebenen Daten empfangen können.

30 Um die obigen Aufgaben zu lösen, enthält in einem ersten Aspekt die Zeitschlitzempfangs-Synchronisationsschaltung gemäß der vorliegenden Erfindung ein Zwischenspeicherregister zum Zwischenspeichern von Zeitschlitz-Empfangsdaten, die eine auf m Bit festgelegte Länge aufweisen, wobei m eine ganze Zahl ist, eine Detektoreinrichtung zum Detektieren, ob die im Zwischenspeicherregister gespei-

35

cherten m-Bit-Zeitschlitz-Empfangsdaten ein vorgegebenes Muster aufweisen, eine Zeitschlitz-Zählerschaltung, die von einem durch die Detektoreinrichtung ausgegebenen Detektionssignal initialisiert wird, zum Synchronisieren
5 der Zeitschlitz-Empfangsdaten, und eine Bit-Zählerschaltung zum Zählen von in diese eingegebenen Bittakten in Synchronisation mit jeder Bit-Eingabe der Zeitschlitz-Empfangsdaten, um einen Zählwert zu liefern, und zum Zuführen von Signalen, wenn der Zählwert einen vorgegebenen
10 Wert erreicht, an die Zeitschlitz-Zählerschaltung, so daß die Zeitschlitz-Zählerschaltung die Signale zählt. Die Zeitschlitz-Zählerschaltung und die Bit-Zählerschaltung werden jeweils durch das Detektionssignal auf ihre Anfangswerte eingestellt.

15

In einem zweiten Aspekt der Erfindung wird ein Verfahren zum Synchronisieren der Zeitschlitz-Empfangsdaten geschaffen, das die folgenden Schritte umfaßt: Zwischenspeichern in einem Zwischenspeicherregister, Empfangen
20 von Zeitschlitz-Daten, die eine auf m Bit festgelegte Länge aufweisen, wobei m eine ganze Zahl ist; Detektieren, ob die im Zwischenspeicherregister gespeicherten m-Bit-Zeitschlitz-Empfangsdaten ein vorgegebenes Muster aufweisen; Synchronisieren der Zeitschlitz-Empfangsdaten
25 mit einer Zeitschlitz-Zählerschaltung, wobei die Zeitschlitz-Zählerschaltung durch ein Detektionssignal initialisiert wird, das bei dem Detektionsschritt ausgegeben wird; Zählen der Bittakte durch eine Bit-Zählerschaltung, die synchron mit jeder Bit-Eingabe der Zeitschlitz-Empfangsdaten eingegeben werden, um einen Zählwert zu
30 liefern; Zuführen von Signalen, wenn der Zählwert einen vorgegebenen Wert erreicht, an die Zeitschlitz-Zählerschaltung, so daß die Zeitschlitz-Zählerschaltung die Signale zählt; und Einstellen der Zeitschlitz-Zählerschaltung und der Bit-Zählerschaltung jeweils durch das Detek-
35 tionssignal auf ihre Anfangswerte.

Weil die Zeitschlitz-Zählerschaltung und die Bit-Zählerschaltung jeweils durch ein Detektionssignal für eindeutiges Wort, das erhalten wird, wenn ein eindeutiges Wort an einer vorgegebenen Position in den m-Bit-Zeitschlitz-Empfangsdaten festgestellt wird, auf ihre Anfangswerte eingestellt werden, wird gemäß der vorliegenden Erfindung die Synchronisation der Bits mit den Zeitschlitz zu dem Zeitpunkt (z. B. in Echtzeit) ausgeführt, wenn die richtigen m-Bit-Zeitschlitz-Empfangsdaten in dem Zwischenspeicherregister gespeichert werden, ohne eine Verarbeitung wie z. B. eine Bitpositionskorrektur oder das abermalige Empfangen der Zeitschlitz-Daten auszuführen.

15 KURZBESCHREIBUNG DER ZEICHNUNG

Die vorangehenden und andere Aufgaben, Aspekte und Vorteile werden besser verständlich anhand der folgenden ausführlichen Beschreibung einer bevorzugten Ausführung der Erfindung mit Bezugnahme auf die Zeichnung, worin:

Fig. 1 ein Blockschaltplan einer ersten Ausführung einer Zeitschlitzempfangs-Synchronisationsschaltung gemäß der vorliegenden Erfindung ist;

25 Fig. 2 ein Beispiel einer Bitkonfiguration für einen Kommunikations-Zeitschlitz ist, der durch die Schaltung nach Fig. 1 empfangen wird;

30 Fig. 3 ein Blockschaltplan eines Beispiels einer herkömmlichen Zeitschlitzempfangs-Synchronisationsschaltung ist; und

Fig. 4 ein Schaltbild für ein Beispiel einer Detektor-schaltung für eindeutiges Wort ist.

AUSFÜHRLICHE BESCHREIBUNG EINER BEVORZUGTEN AUSFÜHRUNG
DER ERFINDUNG

In der Zeichnung, insbesondere in Fig. 1, ist ein Block-
5 schaltplan einer ersten Ausführung einer Zeitschlitzemp-
fangs-Synchronisationsschaltung gemäß der vorliegenden
Erfindung gezeigt.

Die Zeitschlitzempfangs-Synchronisationsschaltung nach
10 Fig. 1 enthält eine Eingabe-Steuerschaltung 11 zum Steu-
ern der Eingabe der Empfangsdaten (z. B. der Daten, die
empfangen und dadurch eingegeben werden), ein m-Bit-Emp-
fangsdaten-Schieberegister 12 mit einer Länge, die gleich
der Länge in Bit der Zeitschlitz-Daten ist, die zu über-
15 tragen sind (wobei m vorzugsweise eine ganze Zahl größer
als 2 ist), eine Detektorschaltung 13 für eindeutiges
Wort, die als ein Eingangssignal k-Bit-Empfangsdaten emp-
fängt, von denen Bitpositionen, die gleich einem eindeu-
tigen Wort sind, das vorgegebenen k Bits in einem Kommu-
20 nikations-Zeitschlitz zugeordnet ist, auf einer Echtzeit-
grundlage parallel ausgegeben werden (wobei k vorzugs-
weise eine ganze Zahl kleiner als m ist) und die ein
"übereinstimmend"-Signal (z. B. ein
"Übereinstimmungssignal) erzeugt, wenn ein spezifisches
25 synchrones Signal festgestellt wird, das in dem Zeit-
schlitz-Datensignal enthalten ist (z. B. ein eindeutiges
Wort), und eine Bit-Zählerschaltung 14 und eine Zeit-
schlitz-Zählerschaltung 15, die beide durch ein ausgege-
benes übereinstimmend-Signal der Detektorschaltung 13 für
30 eindeutiges Wort zurückgesetzt werden. Die Zeitschlitz-
Zählerschaltung 15 kann ein 3-Bit-Zähler sein, sie kann
aber selbstverständlich eine andere Konstruktion besit-
zen. Es sind außerdem eine Rahmen-Zählerschaltung 16, die
unten kurz beschrieben ist, und eine CPU 17 zum Empfangen
35 eines Empfangseingangs-Abschlußsignals und zur Verarbei-
tung der empfangenen Daten gezeigt.

Wie unten im einzelnen weiter erörtert ist, wird die Drift durch die Eingabe aus dem Register überwunden, indem der Detektor 13 für eindeutiges Wort direkt mit dem Schieberegister 12 verbunden ist (anstatt daß, wie in der herkömmlichen Schaltung, der Detektor 13 für eindeutiges Wort an die Eingabe-Steuerschaltung 31 angeschlossen ist). Für die Zwecke dieser Erfindung bedeutet "Echtzeit", daß es zwischen der Eingabe und der Ausgabe keine sichtbare oder meßbare Verzögerung gibt.

Die Schaltungen 11, 12, 14 und 15 besitzen eine Konstruktion, die ähnlich zu der der Schaltungen 31, 32, 34 und 35 des herkömmlichen Systems ist.

Der Schlüsselunterschied zwischen der Erfindung und dem herkömmlichen System ist jedoch, daß die Erfindung in der Detektorschaltung 13 für eindeutiges Wort keine D-Flipflops wie in dem herkömmlichen System erfordert. In dem herkömmlichen System sind die D-Flipflops speziell in der Detektorschaltung 33 für eindeutiges Wort erforderlich, die in Fig. 4 gezeigt ist.

In der vorliegenden Erfindung verwendet jedoch der Detektor 13 für eindeutiges Wort die D-Flipflop-Register des Empfangsdaten-Schieberegisters 12, wie in Fig. 4 gezeigt ist, wodurch Platz gespart wird und sich eine kompaktere Struktur ergibt. Folglich erfordert die Detektorschaltung 13 für eindeutiges Wort darin keine zweckorientierten D-Flipflops wie in der herkömmlichen Anordnung.

Folglich besitzt der Detektor 13 für eindeutiges Wort eine Schaltungskonfiguration ähnlich zu der, die in Fig. 4 gezeigt ist, aber anstatt zweckorientierte D-Flipflops innerhalb der Schaltung 13 zu erfordern, verwendet die Schaltung 13 die Flipflops des Schieberegisters

sters 12, wie durch die gestrichelte Linie 12 in Fig. 4
gezeigt ist. In der Anordnung der Schaltung 13 der Erfin-
dung enthalten die Verknüpfungsglieder 42 vorzugsweise
EX-NOR-Verknüpfungsglieder (oder EX-OR-Verknüpfungsglie-
5 der), während die Logikschaltung 44 vorzugsweise UND-Gat-
ter (oder NOR-Gatter) enthält.

Fig. 2 zeigt ein Beispiel der Konfiguration der Empfangs-
daten, die dem Empfangsdaten-Schieberegister 12 nach
10 Fig. 1 zugeführt werden.

Die Empfangsdaten (z. B. die zu übertragenden Zeit-
schlitz-Daten 21) enthalten m Bits, wobei ein k Bit um-
fassendes eindeutiges Wort 22 den k Bitpositionen vom
15 (n - k + 1)-ten Bit bis zum n-ten Bit dieser Zeitschlitz-
Daten 21 zugeordnet ist (wobei n vorzugsweise kleiner als
m ist) und gemultiplext wird.

Der Betrieb der Ausführung in Fig. 1 ist im folgenden be-
20 schrieben. Die zu übertragenden Zeitschlitz-Daten werden
dem Empfangsdaten-Schieberegister 12 durch die Eingabe-
Steuerschaltung 11 seriell zugeführt, wobei sie, basie-
rend auf einem (nicht gezeigten) Schiebetakt, sequentiell
nach rechts verschoben werden. Der Betrieb des Schiebe-
25 takts ist dem Durchschnittsfachmann bekannt und wird we-
gen der Kürze hierin nicht erörtert werden.

Zu dem Zeitpunkt, an dem von den k-Bit-Parallelausgangs-
anschlüssen von dem (n - k + 1)-ten Bit bis zum n-ten Bit
30 unter den m-Bit-Parallelausgangsanschlüssen des Empfangs-
daten-Schieberegisters 12 die Ausgabe ausgeführt wird,
werden die k Bit Daten von dem (n - k + 1)-ten Bit bis
zum n-ten Bit der m Bits, die in dem Empfangsdaten-Schie-
beregister 12 gespeichert sind, in Echtzeit der Detektor-
35 schaltung 13 für eindeutiges Wort zugeführt. Das Daten-
Schieberegister 12 beginnt diese Parallelausgabe immer

23.11.99

- 14 -

wieder, basierend auf dem Q-Ausgang der D-Flipflops.

Wie oben erwähnt ist, besitzt die Detektorschaltung 13 für eindeutiges Wort eine Schaltungskonfiguration, die
5 ähnlich derjenigen ist, die in Fig. 4 gezeigt ist, mit der Ausnahme, daß zweckorientierte (zusätzliche) D-Flipflop-Register erforderlich sind. In diesem Fall bilden die D-Flipflops 41_1-41_k in Fig. 4 den Schaltungsabschnitt für das $(n - k + 1)$ -te Bit bis zum n -ten Bit des Empfangsdaten-Registers 12. Mit einer derartigen Anordnung
10 vergleicht die Detektorschaltung 13 für eindeutiges Wort immer wieder ein vorher bekanntes, k Bit umfassendes eindeutiges Wortmuster mit den obenerwähnten k Bits, die von dem Empfangsdaten-Schieberegister 12 eingegeben werden.
15 Die bekannten, k Bits umfassenden eindeutigen Wortmuster sind vorzugsweise innerhalb der Schaltung 13 gespeichert.

Weil die k Bit Daten von dem $(n - k + 1)$ -ten Bit bis zum n -ten Bit zu dem Zeitpunkt das eindeutige Wort werden
20 (z. B. in Echtzeit), wenn die m Bit Daten, die in Fig. 2 gezeigt sind, in dem Empfangsdaten-Schieberegister 12 gespeichert werden, stellt die Detektorschaltung 13 für eindeutiges Wort das eindeutige Wort zu diesem Zeitpunkt fest und erzeugt ein "übereinstimmend"-Signal
25 (Übereinstimmungssignal). Das Übereinstimmungssignal kann z. B. eine "0" anzeigen, um die Übereinstimmung darzustellen.

Die Bit-Zählerschaltung 14 zählt die Bittakte, die mit
30 den Eingabebits der Empfangsdaten in Synchronisation sind. Folglich zählt die Bit-Zählerschaltung 14 die Takte, wobei die Takte der Eingabe der seriellen Daten von einem QPSK-Modem oder ähnlichem entsprechen. Wenn dieser Zählwert einen vorgegebenen Wert erreicht (einen
35 m -Bit-Zählwert), führt die Bit-Zählerschaltung 14 ein Ausgangssignal der Zeitschlitz-Zählerschaltung 15 zu und

veranlaßt die Zeitschlitz-Zählerschaltung 15 zu zählen. Die Zeitschlitz-Zählerschaltung 15 zählt die Eingaben in diese.

- 5 Die Zeitschlitz-Zählerschaltung 15 zählt speziell die Ausgabe der Bit-Zählerschaltung 14 (z. B. den Überlauf), so daß nach jedem Überlauf die Zeitschlitz-Zählerschaltung 15 jeden Zeitschlitz zählt. Auf diese Weise wird nach jeden 240 Bits jedes Zeitschlitzes die Zeitschlitz-
- 10 Zählerschaltung 15 erhöht. Folglich gibt die Zeitschlitz-Zählerschaltung 15 einen den Zeitschlitz eines Empfangs-Zeitschlitzes angehenden Zählwert an einen Hochpegelzähler, z. B. an eine Rahmen-Zählerschaltung 16 oder ähnliches zum Zählen der Rahmen (z. B. 5 ms/Rahmen), aus.

15

- Wenn die Detektorschaltung 13 für eindeutiges Wort das eindeutige Wort feststellt und ein Übereinstimmungssignal ausgibt, wird hier das Übereinstimmungssignal an einen Rücksetz-Eingangsanschluß der Bit-Zählerschaltung 14 an-
- 20 gelegt, die den Bittakt für die Zeitschlitz-Synchronisation zählt, bzw. es wird außerdem an einen Rücksetz-Eingangsanschluß der Zeitschlitz-Zählerschaltung 15 angelegt, die den Zeitschlitz zählt. Das Übereinstimmungssignal fungiert, um die Bit-Zählerschaltung 14 und die
- 25 Zeitschlitz-Zählerschaltung 15 simultan zurückzusetzen, (es setzt sie z. B. auf ihren Anfangswert).

- Da sowohl die Bit-Zählerschaltung 14 als auch die Zeitschlitz-Zählerschaltung 15 simultan zu einem Zeitpunkt
- 30 zurückgesetzt werden, zu dem durch die Detektorschaltung 13 für eindeutiges Wort das eindeutige Wort festgestellt wird, kann die Zeitschlitz-Synchronisation erreicht werden durch Voreinstellen und Zählen derjenigen Zählwerte als Anfangswert für die Synchronisation, die die Zeit-
- 35 punktinformationen angeben, die der Zeitschlitz besitzen sollte (bzw. "0" in diesem Fall).

23.11.99

- 16 -

Zum gleichen Zeitpunkt wird das Übereinstimmungssignal, das von der Detektorschaltung 13 für eindeutiges Wort ausgegeben wird, der Eingabe-Steuerschaltung 11 zugeführt. Dann verriegelt die Eingabe-Steuerschaltung 11 die Daten, die in das Empfangsdaten-Schieberegister 12 eingegeben sind, dadurch speichert und hält das Empfangsdaten-Schieberegister 12 die Daten, wenn das eindeutige Wort durch die Detektorschaltung 13 für eindeutiges Wort festgestellt wird.

Deshalb sind die Daten, die zu dem Zeitpunkt in dem Empfangsdaten-Schieberegister 12 gespeichert werden, die Empfangsdaten für einen richtig eingegebenen Kommunikations-Zeitschlitz. Demzufolge kann das Übereinstimmungssignal durch die Detektorschaltung 13 für eindeutiges Wort an die Zentraleinheit (CPU) 17 oder ähnliches als das Empfangseingangs-Abschlußsignal ausgegeben werden, das angibt, daß die empfangenen Daten für den Empfang verarbeitet werden können. Auf diese Weise führt die Ausführung des synchrone Empfangen mit einer einfachen Schaltungskonfiguration, ohne die Bitpositionskorrektur oder daß die Empfangsdaten abermals erhalten werden müssen, richtig aus.

Wie oben beschrieben worden ist, können gemäß der vorliegenden Erfindung sowohl die Bitsynchronisation als auch die Zeitschlitz-Synchronisation durch Einstellen der Zeitschlitz-Zählerschaltung 14 bzw. der Bit-Zählerschaltung 15 mit einem Detektionssignal für eindeutiges Wort auf ihre Anfangswerte zu dem Zeitpunkt erreicht werden, zu dem die richtigen m-Bit-Zeitschlitz-Empfangsdaten in der Zwischenspeichereinrichtung gespeichert werden. Das Detektionssignal für eindeutiges Wort wird erhalten, wenn ein eindeutiges Wort, das einer vorgegebenen Stelle in den m-Bit-Zeitschlitz-Empfangsdaten zugeordnet ist, mit

23.11.99
- 17 -

einem Detektionsmuster für eindeutiges Wort übereinstimmt.

Im Ergebnis kann die synchrone Eingabe der Empfangsdaten
5 mit einer einfachen Schaltungskonfiguration richtig ausgeführt werden, ohne daß die Bitposition korrigiert werden muß oder die Empfangsdaten abermals erhalten werden müssen. Folglich kann die Datenempfangsoperation im Vergleich zu dem obenbeschriebenen herkömmlichen System
10 schnell abgeschlossen werden.

Zusätzlich kann gemäß der vorliegenden Erfindung das Detektionssignal für eindeutiges Wort als das Empfangseingangs-Abschlußsignal verwendet werden.

15 Ferner erfordert die Schaltung der vorliegenden Erfindung im Vergleich zu der herkömmlichen Anordnung weniger Platz und weniger Komponenten, weil sich die Schieberegister nicht länger in der Detektorschaltung für eindeutiges
20 Wort befinden.

Obwohl die Erfindung in Form einer einzigen bevorzugten Ausführung beschrieben worden ist, werden die Fachleute erkennen, daß die Erfindung mit Modifizierungen betrieben
25 werden kann.

Zum Beispiel kann die vorliegende Erfindung vorteilhaft sowohl mit Zeitduplex (TDD) als auch mit Zeitvielfachzugriff (TDMA) verwendet werden.

Ansprüche

- 5 1. Zeitschlitzempfangs-Synchronisierungsschaltung mit:
 einem Zwischenspeicherregister (12) zum Zwischenspeichern von
Zeitschlitz-Empfangsdaten (21), die eine auf m Bit festgelegte Länge aufweisen,
wobei m eine ganze Zahl ist;
 einer Detektoreinrichtung (13) zum Detektieren, ob die im
10 Zwischenspeicherregister gespeicherten m-Bit-Zeitschlitz-Empfangsdaten (21) ein
vorgegebenes Muster aufweisen;
 einer Zeitschlitz-Zählerschaltung (15), die von einem durch die
Detektoreinrichtung (13) ausgegebenen Detektionssignal initialisiert wird, zum
Synchronisieren der Zeitschlitz-Empfangsdaten (21); und
15 einer Bit-Zählerschaltung (14) zum Zählen von in diese eingegebenen
Bittakten in Synchronisation mit jeder Bit-Eingabe der Zeitschlitz-Empfangsdaten (21),
um einen Zählwert zu liefern, und zum Zuführen von Signalen, wenn der Zählwert
einen vorgegebenen Wert erreicht, an die Zeitschlitz-Zählerschaltung (15), so daß die
Zeitschlitz-Zählerschaltung (15) die Signale zählt,
20 wobei die Zeitschlitz-Zählerschaltung (15) und die Bit-Zählerschaltung
(14) jeweils durch das Detektionssignal auf ihren Anfangswert eingestellt werden.
2. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 1,
weiterhin mit:
25 einer Eingabe-Steuerschaltung (11) zum Steuern der Eingabe der
Zeitschlitz-Empfangsdaten (21) in das Zwischenspeicherregister (12) auf der Basis
des Detektionssignals.
3. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 1,
30 bei der die im Zwischenspeicherregister (12) gespeicherten Zeitschlitz-
Empfangsdaten (21) zu einem Zeitpunkt, zu dem das Detektionssignal eingegeben
wird, auf einem Wert gehalten werden.

4. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 1,
bei der die Zeitschlitz-Zählerschaltung (15) und die Bit-Zählerschaltung (14) jeweils
Rücksetzanschlüsse aufweisen, wobei die Zeitschlitzempfangs-
5 Synchronisierungsschaltung weiterhin folgendes aufweist:

eine Einrichtung, um die Schlitzdaten-Zählerschaltung (15) und die Bit-
Zählerschaltung (14) mit dem eindeutigen Wortdetektionssignal jeweils auf ihren
Anfangswert einzustellen,

wobei die Einstelleinrichtung eine Einrichtung umfaßt, um das von der
10 Detektoreinrichtung (13) ausgegebene eindeutige Wortdetektionssignal an die jeweils
entsprechenden Rücksetzanschlüsse der Zeitschlitz-Zählerschaltung (15) und der Bit-
Zählerschaltung (14) anzulegen.

5. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 1,
15 bei der das Zwischenspeicherregister (12) ein m-Bit-Schieberegister zum seriellen
Empfangen der Zeitschlitz-Empfangsdaten (21), die die auf m Bit festgelegte Länge
aufweisen, und zum sequentiellen Verschieben der Daten in eine vorgegebene
Richtung.

20 6. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 5,
bei der die Zeitschlitz-Empfangsdaten (21) ein k Bit umfassendes eindeutiges Wort
(22) mit einem vorgegebenen Muster aufweisen, das in einem vorgegebenen
Bitbereich zugeordnet ist und gemultiplext wird (wobei $m > k$ und k eine ganze Zahl
ist).

25 7. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 6,
bei der die Detektoreinrichtung (13) als Eingangssignal k-Bit-Datenausgangssignale
von k-Bit-Parallelausgangsanschlüssen in Echtzeit im vorgegebenen Bitbereich
empfängt, in dem das eindeutige Wort (22) unter m-Bit-Parallelausgangsanschlüssen
30 des m-Bit-Schieberegisters gemultiplext werden soll, und

23.11.99

bei der die Detektoreinrichtung (13) einen Komparator zum Vergleichen des Eingangssignals mit dem vorgegebenen Muster des eindeutigen Wortes (22) aufweist, um festzustellen, ob das Eingangssignal das eindeutige Wort (22) enthält.

5 8. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 4, bei der das Zwischenspeicherregister (12) ein m-Bit-Schieberegister zum seriellen Empfangen von Zeitschlitz-Empfangsdaten mit einer auf m Bit festgelegten Länge und zum sequentiellen Verschieben der Daten in eine vorgegebene Richtung umfaßt.

10 9. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 8, bei der die Zeitschlitz-Empfangsdaten (21) ein k Bit umfassendes eindeutiges Wort (22) mit einem vorgegebenen Muster aufweisen, das in einem vorgegebenen Bitbereich zugeordnet ist und gemultiplext wird (wobei $m > k$ und k eine ganze Zahl ist).

15 10. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 9, bei der die Detektoreinrichtung folgendes aufweist:

 eine Einrichtung, um als Eingangssignal gespeicherte k-Bit-Datenausgangssignale von k-Bit-Parallelausgangsanschlüssen in Echtzeit im
20 vorgegebenen Bitbereich zu empfangen, in dem das eindeutige Wort (22) unter m-Bit-Parallelausgangsanschlüssen des m-Bit-Schieberegisters gemultiplext werden soll, und

 einen Komparator zum Vergleichen des Eingangssignals mit dem Muster des eindeutigen Wortes (22), um festzustellen, ob das Eingangssignal das eindeutige
25 Wort (22) enthält.

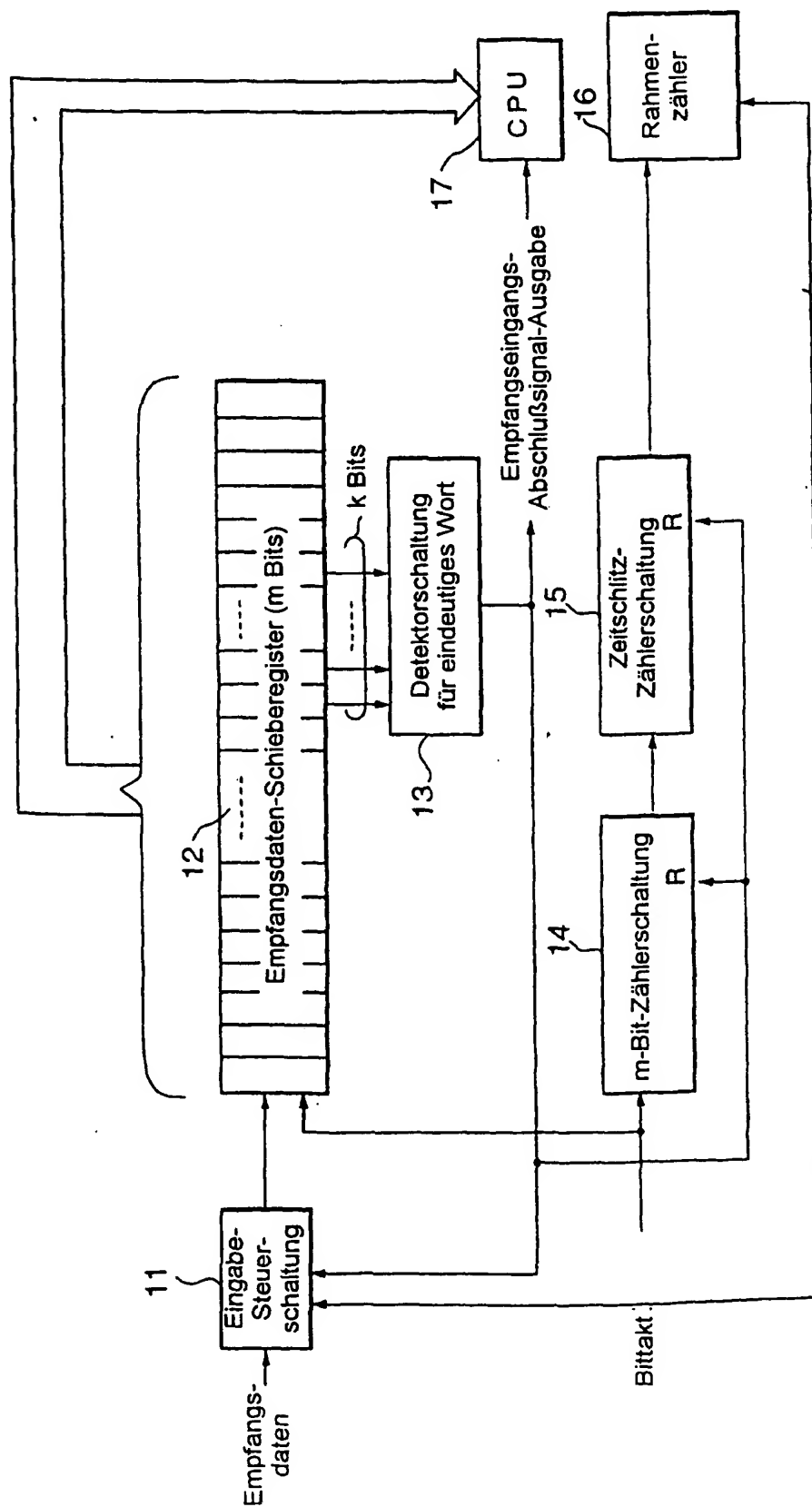
 11. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 1, bei der das von der Detektoreinrichtung ausgegebene eindeutiges-Wort-Detektionssignal ein Signal zum Einstellen von Anfangswerten für die Zeitschlitz-
30 Zählereinrichtung (15) und die Bit-Zählereinrichtung (14) und ein Empfangseingangs-Abschlußsignal umfaßt, das den Abschluß der Empfangseingabe der Empfangsdaten angibt.

23.11.99

12. Zeitschlitzempfangs-Synchronisierungsschaltung nach Anspruch 1,
die weiterhin eine Einstellvorrichtung umfaßt, um mittels des Detektionssignals die
Zeitschlitz-Zählerschaltung (15) und die Bit-Zählerschaltung auf ihre jeweiligen
5 Anfangswerte einzustellen, und

bei der die Einstellvorrichtung die Zeitschlitz-Zählerschaltung (15) und die
Bit-Zählerschaltung (14) simultan auf die Anfangswerte einstellt.

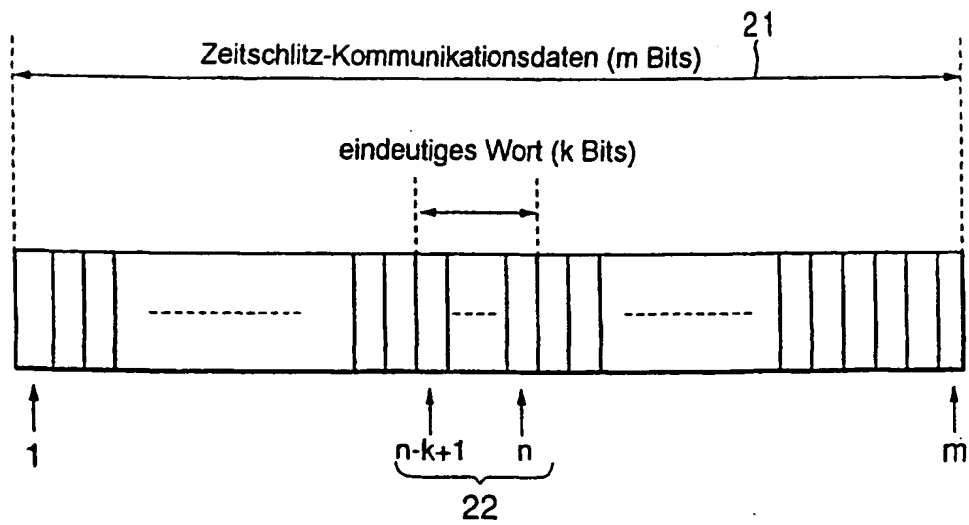
Fig. 1



23.11.99

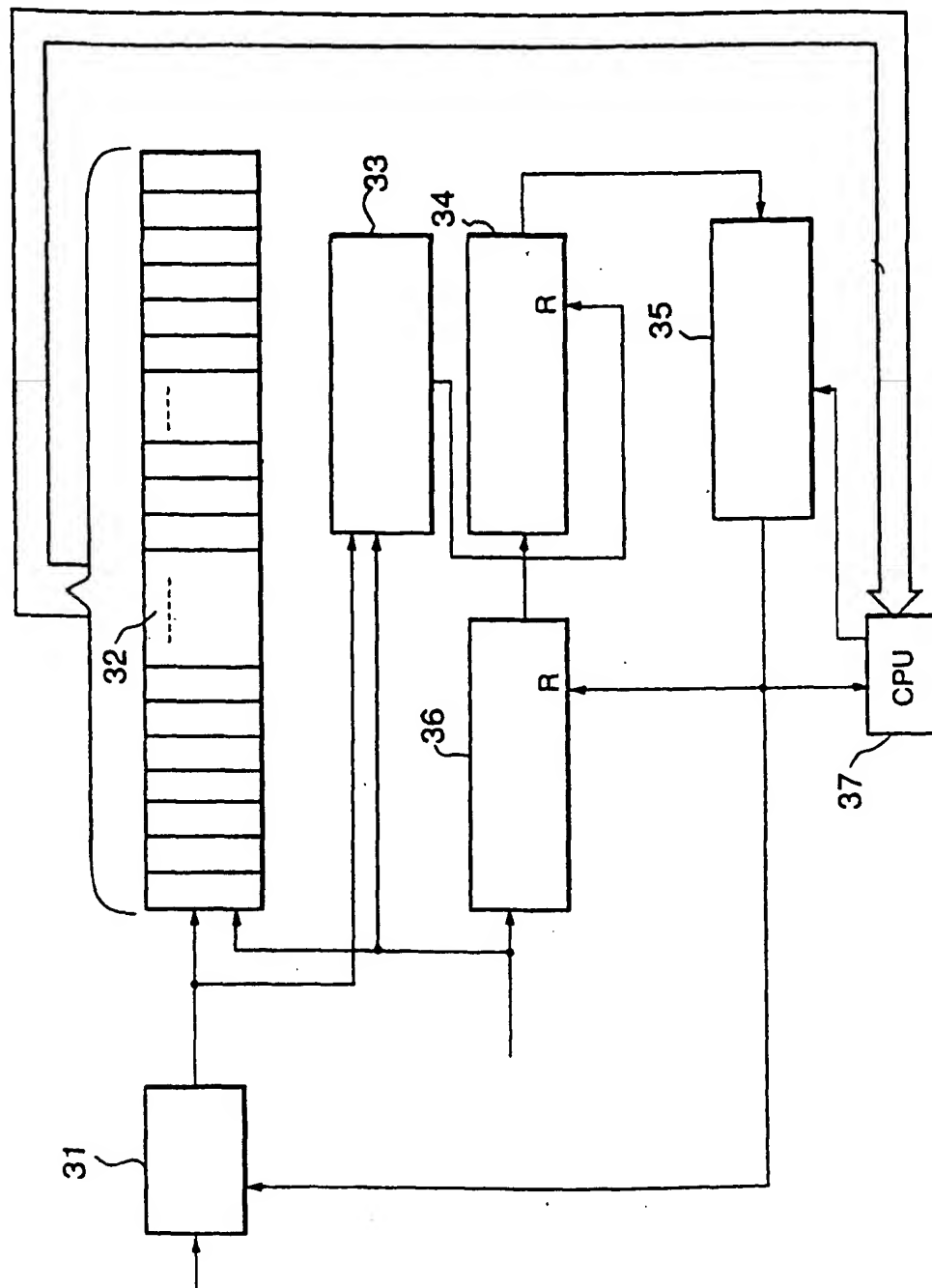
2/4

Fig.2



23 3/4 11 99

Fig.3



2019

Docket # L&L-10177

4/4

Applic. # _____

Applicant: B. GUNZELMANN ET AL.

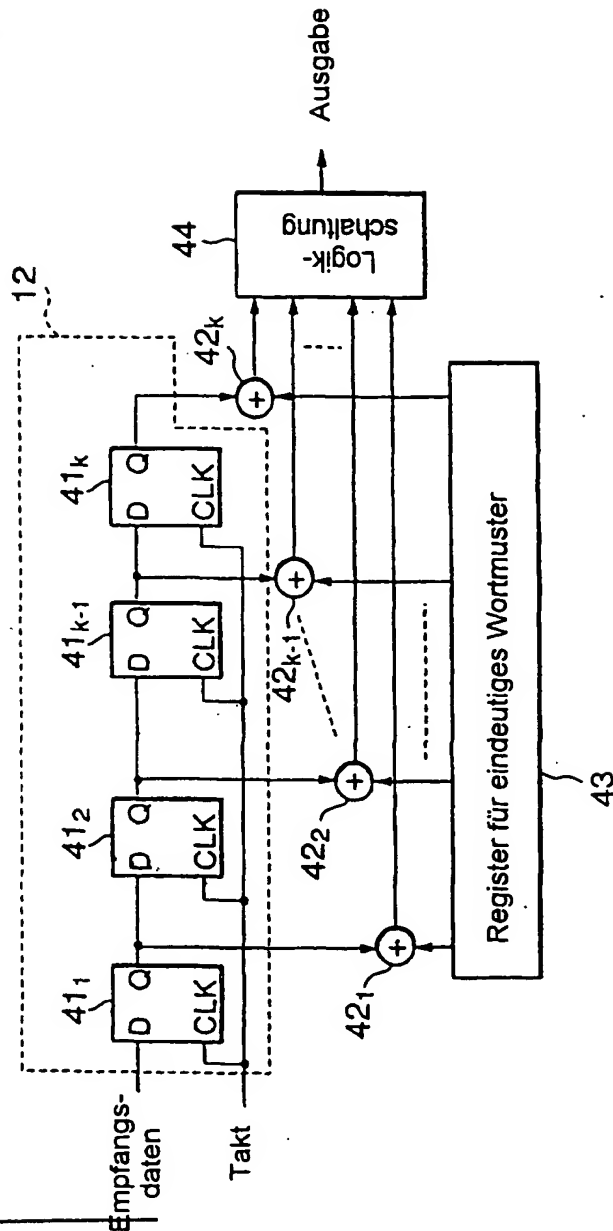
Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

Fig.4



DOCKET NO: _____

SERIAL NO: _____

APPLICANT: _____

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100